

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-164422

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H03M 13/12

(21)Application number : 04-311748

(71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 20.11.1992

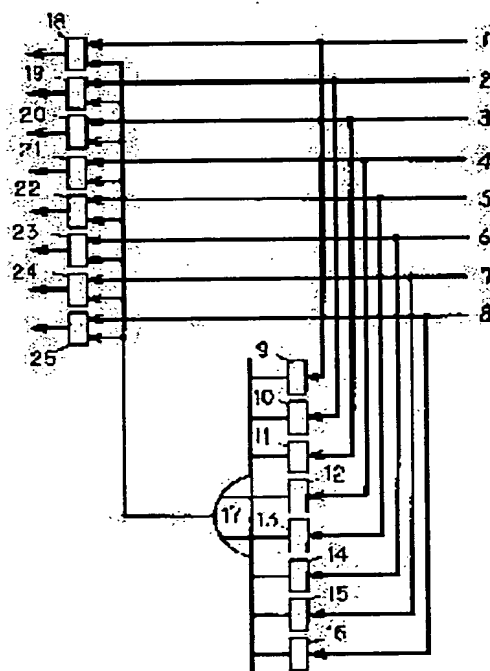
(72)Inventor : OTA KAZUHIRO
KIMURA TOMOHIRO
NAGAISHI YASUO

(54) METRIC NORMALIZATION DEVICE

(57)Abstract:

PURPOSE: To realize a metric normalizing device, which copes with the increase of the data transmission speed, with a small amount of hardware with respect to a Viterbi decoder.

CONSTITUTION: Comparing means 9 to 16 take digital data signals 1 to 8 as the inputs and compare them with thresholds and output '0' in the case of inputs equal to or smaller than thresholds and output '1' in the case of inputs larger than thresholds. An OR means 17 takes outputs of comparing means 9 to 16 as inputs, and it outputs '0' when all of inputs are '0'. Subtracting means 18 to 25 take digital data signals 1 to 8 and the output of the OR means as inputs, and they output the formers when the latter is '0', but they subtract prescribed values from the formers to output the subtraction results when the latter is '1'. By this constitution, constants are subtracted from all metrics to normalize the metrics if any metric exceeds the threshold.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-164422

(43) 公開日 平成6年(1994)6月10日

(51) Int. Cl.⁵
H03M 13/12識別記号 庁内整理番号
8730-5J

F I

技術表示箇所

審査請求 未請求 請求項の数2 (全6頁)

(21) 出願番号 特願平4-311748

(22) 出願日 平成4年(1992)11月20日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地(72) 発明者 太田 和廣
大阪府門真市大字門真1006番地 松下電器
産業株式会社内(72) 発明者 木村 知弘
大阪府門真市大字門真1006番地 松下電器
産業株式会社内(72) 発明者 長石 康男
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

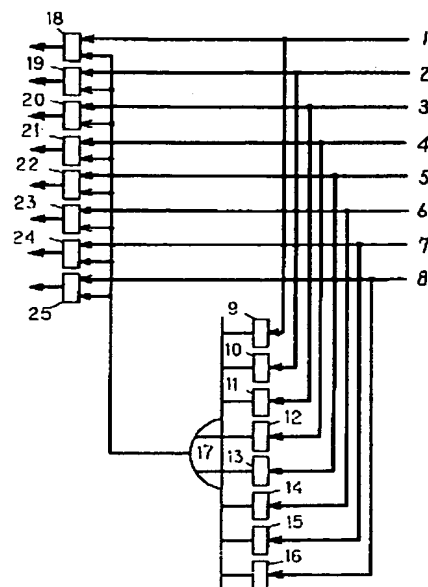
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 メトリック正規化装置

(57) 【要約】

【目的】 本発明は、ビタビ復号器に関するものであり、データ伝送の高速化に対応するメトリック正規化装置を小さなハードウェアで実現することを目的とする。

【構成】 比較手段9～16は、デジタルデータ信号1～8を入力とし、入力をしきい値と比較し、入力がしきい値以下であれば0を、しきい値より大きければ1を出力する。論理和手段17は、比較手段9～16の出力を入力とし、入力がすべて0であれば0を出力する。減算手段18～25は、それぞれデジタルデータ信号1～8及び論理和手段17の出力を入力とし、後者が0であれば前者を出力し、後者が1であれば前者から所定値を減算し、出力する。この構成によって、いずれかのメトリックがしきい値を越えたときに全てのメトリックから定数を減算することによりメトリックの正規化を行う。

9～16 比較手段
17 論理和手段
18～25 減算手段

【特許請求の範囲】

【請求項 1】 N (N : 整数) 個のデジタルデータ信号を入力とするメトリック正規化装置において、前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号を入力とし、入力を所定のしきい値と比較し、しきい値以下であれば 0 を、しきい値より大きければ 1 を出力する N 個の比較手段と前記 N 個の比較手段の出力を入力とし、入力の論理和を出力する論理和手段と前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号と、前記論理和手段の出力を入力とし、前記論理和手段の出力が 0 であれば前記デジタルデータ信号をそのまま出力し、 1 であれば前記デジタルデータ信号から所定の値を減算して出力する減算手段とを具備するメトリック正規化装置。

【請求項 2】 前記 N 個の比較手段を、前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号を入力とし、入力の最上位ビットを出力とする構成とした請求項 1 記載のメトリック正規化装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、特にビタビ復号器において、メトリックメモリのオーバーフロー防止のためのメトリック正規化装置に関するものである。

【 0 0 0 2 】

【従来の技術】 通常、ビタビ復号器は、畳み込み符号化されたデータ系列を入力とし、入力されたデータ系列から推定した符号化前のデータ系列であるパスを保存するパスメモリをトレリス線図 (ビタビ復号動作を状態の遷移として表わしたもの) 上の状態数だけもち、トレリス線図にしたがって最尤復号を行う。即ち、ビタビ復号器は、 N 個のパスメモリを持ち (N : トレリス線図上の状態数) 、各パスメモリはトレリス線図上の状態が割り当てられ、それぞれの状態において最も確からしいと考えられる、即ち最も尤度が高いデータ系列であるパスを保存し、データが 1 シンボル入力される毎にパスを更新するとともに、保存されたパスの内最も尤度が高いパスから最古のデータを 1 シンボルだけ出力する。この時、尤度の高さはメトリックとしてメトリックメモリに保存される。メトリックが小さいほど尤度が高い。

【 0 0 0 3 】 受信データに誤りがなければ、 N 個の保存されたパスのなかに 1 つだけ符号化前のデータ系列と等しいパスが存在し、そのパスのメトリックは 0 である。その他のパスのメトリックは、 0 より大きい値となるが、最も尤度の小さいパスのメトリックと最も尤度の大きいメトリックの差は、ある一定の値を越えないことが知られているので、この場合は、メトリックメモリが前記一定の値を表わせるだけの十分なビット数を持っていればよい。

【 0 0 0 4 】 しかし、受信データに誤りがある場合は、最も尤度の大きいパスのメトリックさえ、 0 より大きい値となり、データを受信する毎に大きくなってしまふ。この場合は、周期的に適当な値を全てのメトリックメモリから減算する手段を講じないと、メトリックメモリがオーバーフローし、ビタビ復号器が正常に動作しなくなる。このような周期的なメトリックの減算を正規化と称している。

【 0 0 0 5 】 図 4 は、従来のメトリック正規化装置の一例である。 4 1 ~ 4 8 は、メトリック正規化装置の入力のデジタルデータ信号である。

【 0 0 0 6 】 4 9 は、デジタルデータ信号 4 1 及び 4 2 を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 0 7 】 5 0 は、デジタルデータ信号 4 3 及び 4 4 を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 0 8 】 5 1 は、デジタルデータ信号 4 5 及び 4 6 を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 0 9 】 5 2 は、デジタルデータ信号 4 7 及び 4 8 を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 1 0 】 5 3 は、比較手段 4 9 及び 5 0 の出力を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 1 1 】 5 4 は、比較手段 5 1 及び 5 2 の出力を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 1 2 】 5 5 は、比較手段 5 3 及び 5 4 の出力を入力とし、 2 つの入力のうち小さい方を選択して出力する比較手段である。

【 0 0 1 3 】 5 6 ~ 6 3 は、それぞれデジタルデータ信号 4 1 ~ 4 8 及び比較手段 5 5 の出力を入力とし、前者から後者を減算した結果を出力とする減算手段であり、この出力がメトリック正規化装置の出力である。

【 0 0 1 4 】 この構成によって、図 4 の従来のメトリック正規化装置は、最も尤度の高いパスのメトリック、即ち最も小さいメトリックを選択して全てのメトリックから減算することによりメトリックの正規化を行う。

【 0 0 1 5 】 しかし、このような構成では、状態数の多い、即ちパスメトリックの多い場合には比較の回数が増え、ハードウェアが増大する。また、信号処理時間が長くなるために、データ伝送の高速化に対応できないという問題があった。

【 0 0 1 6 】 このような問題を解決するために、全てのメトリックから最小メトリックを減算する替わりに、全てのメトリックがあるしきい値を越えたときに全てのメトリックから所定値を減算するということが提案されている (例えば特開昭 6 2 - 1 7 8 0 2 0 号公報) 。

【0017】図5は、所定値を減算するメトリック正規化装置の一例である。71～78は、メトリック正規化装置の入力のデジタルデータ信号である。

【0018】79～86は、それぞれデジタルデータ信号71～78を入力とし、入力をしきい値と比較し、入力がしきい値以下であれば0を、しきい値より大きければ1を出力する比較手段である。

【0019】87は、比較手段79～86の出力を入力とし、入力の論理積を出力する論理積手段である。

【0020】88～95は、それぞれデジタルデータ信号71～78及び論理積手段87の出力を入力とし、後者が0であれば前者を出力し、後者が1であれば前者から所定値を減算して出力する減算手段であり、この出力がメトリック正規化装置の出力である。

【0021】この構成によって、図5のメトリック正規化装置は、全てのメトリックがしきい値を越えたときに全てのメトリックから定数を減算することによりメトリックの正規化を行う。

【0022】この方法を用いれば、メトリック同士の比較ではなく、しきい値との比較ですむため、図4のメトリック正規化装置に比べ、ハードウェア規模を小さくすることが出来る。また、信号処理時間が短くなるために、図4のメトリック正規化装置に比べ、データ伝送の高速化に対応できる。

【0023】図6は、図5のメトリック正規化装置の比較手段79～86の一例のブロック図である。ここではメトリック正規化装置の入力を5ビットのデジタルデータ信号とする。また、しきい値を3とする。

【0024】96は、比較手段の入力の最下位ビットである。97は、比較手段の入力の第2ビットである。

【0025】98は、比較手段の入力の第3ビットである。99は、比較手段の入力の第4ビットである。

【0026】100は、比較手段の入力の最上位ビットである。101は、98と99と100を入力とし、入力の論理和を出力する論理和手段であり、この出力が比較手段の出力である。

【0027】この構成によって、図5の比較手段は、入力の第3ビットから最上位ビットまでの論理和をとることにより入力が3より大きいかどうかを判定する。

【0028】このように、しきい値を $2^n - 1$ ($n: 1$ 以上の整数) とすれば、しきい値との比較は入力の第 $(n+1)$ ビットから最上位ビットまでの論理和をとることにより実現できる。

【0029】

【発明が解決しようとする課題】上記のような構成では、一般に入力が多い論理和手段が必要となり、よりデータ伝送の高速化を図る際に信号処理時間が問題となることがある。また、入力数が多い論理和手段が比較手段の数だけ、即ち状態数だけ必要となるので、状態数が多い場合にはハードウェアが増大するという問題があつ

た。

【0030】

【課題を解決するための手段】本発明のメトリック正規化装置は、 N (N : 整数) 個のデジタルデータ信号を入力し、前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号を入力とし、入力を所定のしきい値と比較し、しきい値以下であれば0を、しきい値より大きければ1を出力する N 個の比較手段と前記 N 個の比較手段の出力を入力とし、入力の論理和を出力する論理和手段と前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号と、前記論理和手段の出力を入力とし、前記論理和手段の出力が0であれば前記デジタルデータ信号をそのまま出力し、1であれば前記デジタルデータ信号から所定の値を減算して出力する減算手段を具備するものである。

【0031】

【作用】この構成によって、本発明のメトリック正規化装置は、小さいハードウェアで実現できる。また、信号処理時間が短くなるので、データ伝送の高速化に対応出来る。

【0032】

【実施例】以下、具体例について詳細に述べる。

【0033】図1は本発明のメトリック正規化装置の第一の実施例を示すものである。ここでは、状態数 $N=4$ 、符号化率 $1/2$ としている。

【0034】1～8は、メトリック正規化装置の入力のデジタルデータ信号である。9～16は、それぞれデジタルデータ信号1～8を入力とし、入力をしきい値と比較し、入力がしきい値以下であれば0を、しきい値より大きければ1を出力する比較手段である。

【0035】17は、比較手段9～16の出力を入力とし、入力がすべて0であれば0を出力する論理和手段である。

【0036】18～25は、それぞれデジタルデータ信号1～8及び論理和手段17の出力を入力とし、後者が0であれば前者を出力し、後者が1であれば前者から所定値を減算して出力する減算手段であり、この出力がメトリック正規化装置の出力である。

【0037】この構成によって、図1のメトリック正規化装置は、いずれかのメトリックがしきい値を越えたときに全てのメトリックから定数を減算することによりメトリックの正規化を行う。

【0038】この方法を用いれば、メトリック同士の比較ではなく、しきい値との比較ですむため、図5のメトリック正規化装置と同様、図4のメトリック正規化装置に比べ、ハードウェア規模を小さくすることが出来る。また、信号処理時間が短くなるために、図4のメトリック正規化装置に比べ、データ伝送の高速化に対応できる。

【0039】図2は、図1のメトリック正規化装置の比較手段の第1の例のブロック図である。ここで、メトリック正規化装置の入力を5ビットのデジタルデータ信号としている。また、しきい値を7としている。

【0040】26は、比較手段の入力の最下位ビットである。27は、比較手段の入力の第2ビットである。

【0041】28は、比較手段の入力の第3ビットである。29は、比較手段の入力の第4ビットである。

【0042】30は、比較手段の入力の最上位ビットである。31は、29と30を入力とし、入力の論理和を出力する論理和手段であり、この出力が比較手段の出力である。

【0043】この構成によって、図2の比較手段は、入力の第4ビットから最上位ビットまでの論理和をとることにより入力が7より大きいかどうかを判定する。

【0044】このように、しきい値を $2^n - 1$ ($n: 1$ 以上の整数)とすれば、図5の比較手段と同様、しきい値との比較は入力の第($n+1$)ビットから最上位ビットまでの論理和をとることにより実現できる。

【0045】従来例で示した図6の比較手段では最小メトリックがしきい値を越えたかどうか判定したのに対し、本実施例の図2の比較手段では、最大メトリックがしきい値を越えたかどうか判定すればよい。そのため図6のしきい値より図2のしきい値のほうが大きくなり、論理和手段の入力数は少なくなる。

【0046】図3は、本発明の第2の実施例を示すメトリック正規化装置の比較手段のブロック図である。ここで、メトリック正規化装置の入力を5ビットのデジタルデータ信号としている。また、しきい値を15としている。

【0047】32は、比較手段の入力の最下位ビットである。33は、比較手段の入力の第2ビットである。

【0048】34は、比較手段の入力の第3ビットである。35は、比較手段の入力の第4ビットである。

【0049】36は、比較手段の入力の最上位ビットであり、この出力が比較手段の出力である。

【0050】この構成によって、図3の比較手段は、入力の最上位ビットを出力することにより入力が15より大きいかどうかを判定する。

【0051】このように、しきい値を $2^k - 1$ ($k: 40$ 入力のビット数)とすれば、しきい値との比較は入力の最上位ビットを出力することにより実現できる。

【0052】

【発明の効果】以上のように、本発明のメトリック正規化装置は、 N ($N: 50$ 整数)個のデジタルデータ信号を入力し、前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号を入力とし、入力を所定のしきい値と比較し、しきい値以下であれば0を、しきい値より大きければ1を出力する N 個の比較手段と前記 N 個の比較手段の出力を入力とし、入力の論

理和を出力する論理和手段と前記 N 個のデジタルデータ信号にそれぞれ対応し、その対応するデジタルデータ信号と、前記論理和手段の出力を入力とし、前記論理和手段の出力が0であれば前記デジタルデータ信号をそのまま出力し、1であれば前記デジタルデータ信号から所定の値を減算して出力し、これをメトリック正規化装置の出力とする減算手段を具備することにより、ハードウェアを小さくし、また、信号処理時間を短くすることによりデータ伝送の高速化に対応できる。

【図面の簡単な説明】

【図1】本発明のメトリック正規化装置の一実施例の機能ブロック図

【図2】図1のメトリック正規化装置の比較手段の第1の実施例のブロック図

【図3】図1のメトリック正規化装置の比較手段の第2の実施例のブロック図

【図4】従来のメトリック正規化装置の第1の例の機能ブロック図

【図5】従来のメトリック正規化装置の第2の例の機能ブロック図

【図6】図5のメトリック正規化装置の比較手段のブロック図

【符号の説明】

1~8 デジタルデータ信号

9~16 比較手段

17 論理和手段

18~25 減算手段

26 入力の最下位ビット

27 入力の第2ビット

28 入力の第3ビット

29 入力の第4ビット

30 入力の最上位ビット

31 論理和手段

32 入力の最下位ビット

33 入力の第2ビット

34 入力の第3ビット

35 入力の第4ビット

36 入力の最上位ビット

41~48 デジタルデータ信号

49~55 比較手段

56~63 減算手段

71~78 デジタルデータ信号

79~86 比較手段

87 論理積手段

88~95 減算手段

96 入力の最下位ビット

97 入力の第2ビット

98 入力の第3ビット

99 入力の第4ビット

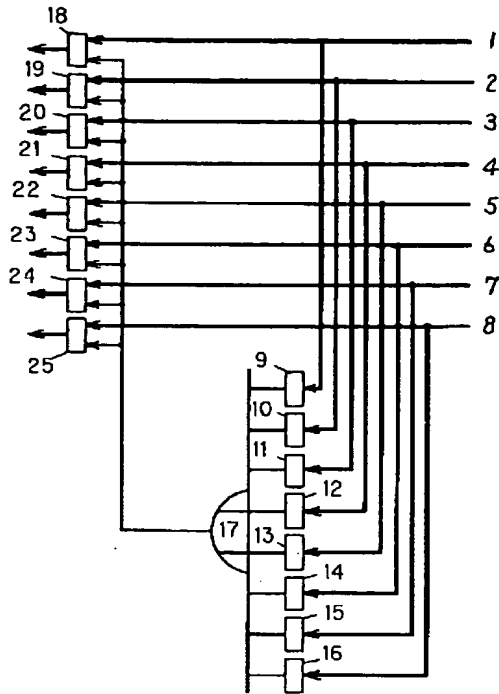
100 入力の最上位ビット

1 0 1 論理和手段

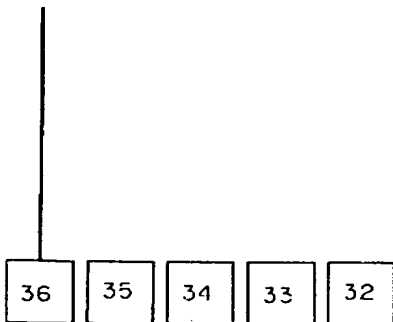
7

【図 1】

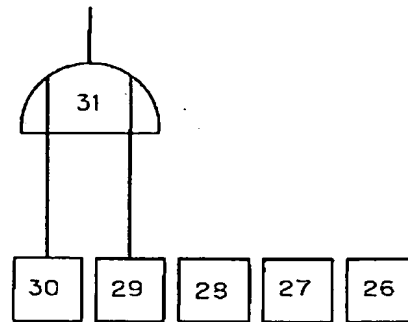
9~16 比較手段
17 論理和手段
18~25 減算手段



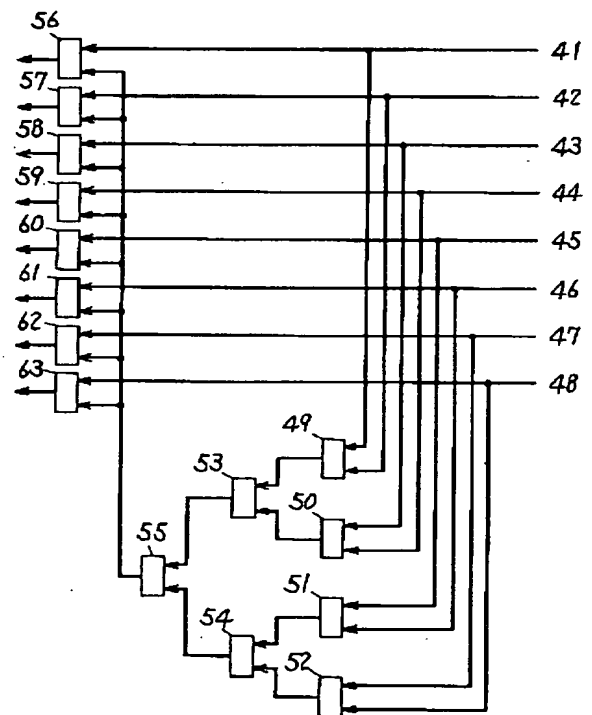
【図 3】



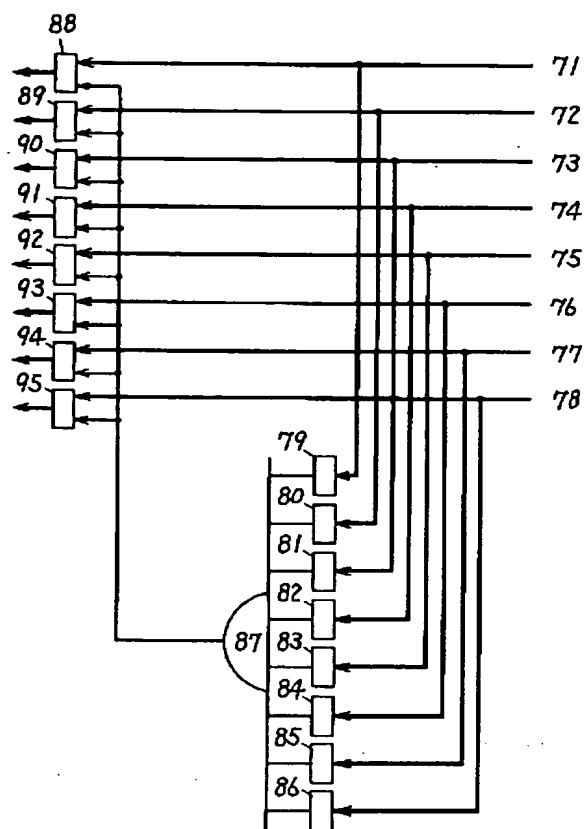
【図 2】



【図 4】



【図 5】



【図 6】

